

12.10.2004

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年10月10日

出願番号  
Application Number: 特願2003-352692

[ST. 10/C]: [JP2003-352692]

出願人  
Applicant(s): 国立大学法人東京工業大学

REC'D 02 DEC 2004

WIPO PCT

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年11月18日

特許庁長官  
Commissioner,  
Japan Patent Office

小川

洋

出証番号 出証特2004-310469

【書類名】 特許願  
【整理番号】 U2003P099  
【特記事項】 特許法第30条第1項の規定の適用を受けようとする特許出願  
【提出日】 平成15年10月10日  
【あて先】 特許庁長官 今井 康夫 殿  
【国際特許分類】 H01L 27/00  
【発明者】  
  【住所又は居所】 神奈川県厚木市毛利台 3-19-7  
  【氏名】 酒井 徹志  
【発明者】  
  【住所又は居所】 神奈川県横浜市港南区日野 6-11-21-303  
  【氏名】 大見 俊一郎  
【発明者】  
  【住所又は居所】 東京都町田市鶴間 543-19 アーリーローズリライト 205  
  【氏名】 山▲崎▼ 崇  
【特許出願人】  
  【識別番号】 391012316  
  【氏名又は名称】 東京工業大学長  
【代理人】  
  【識別番号】 100072051  
  【弁理士】  
  【氏名又は名称】 杉村 興作  
【提出物件の目録】  
  【物件名】 特許請求の範囲 1  
  【物件名】 明細書 1  
  【物件名】 図面 1  
  【物件名】 要約書 1  
  【包括委任状番号】 9709969

## 【書類名】特許請求の範囲

## 【請求項 1】

シリコンからなる基材と、  
前記基材の上方において、前記基材と電気的に絶縁されるとともに、互いに電気的に絶縁された、シリコンからなる複数の島状部と、  
を具えることを特徴とする、半導体基板。

## 【請求項 2】

前記複数の島状部は、前記基材の主面と略平行な单一の平面内に形成されたことを特徴とする、請求項 1 に記載の半導体基板。

## 【請求項 3】

前記複数の島状部は、前記基材の主面と略平行な複数の平面内に形成され、前記基材の上方において多段状に形成されたことを特徴とする、請求項 1 に記載の半導体基板。

## 【請求項 4】

前記複数の島状部は、前記基材上に設けられた絶縁部材中に埋設された構造を呈することを特徴とする、請求項 1～3 のいずれか一に記載の半導体基板。

## 【請求項 5】

前記絶縁部材は酸化シリコンからなることを特徴とする、請求項 4 に記載の半導体基板。

。

## 【請求項 6】

前記島状部の幅が  $2 \mu m \sim 4 \mu m$  以下であることを特徴とする、請求項 1～5 のいずれか一に記載の半導体基板。

## 【請求項 7】

前記基材の、前記島状部と対向する主面と、前記島状部の、前記基材と対向する主面との距離が  $3 nm \sim 200 nm$  であることを特徴とする、請求項 1～6 のいずれか一に記載の半導体基板。

## 【請求項 8】

前記島状部の前記基材と対抗する主面と、前記島状部の、前記基材と反対側に位置する主面との距離は  $2 nm \sim 150 nm$  であることを特徴とする、請求項 1～7 のいずれか一に記載の半導体基板。

## 【請求項 9】

請求項 1～8 のいずれか一に記載の半導体基板を具えることを特徴とする、素子間分離構造。

## 【請求項 10】

シリコンからなる基材を準備する工程と、  
前記基材上にシリコンゲルマニウム層を形成する工程と、  
前記シリコンゲルマニウム層上にシリコン層を形成する工程と、  
前記シリコン層上に酸化シリコン層を形成する工程と、  
フォトリソグラフィ及びエッチングによって、前記シリコンゲルマニウム層から前記酸化シリコン層までを厚さ方向において除去するとともに、前記基材の表面部分を除去して複数の開口部を形成する工程と、  
前記酸化シリコン層及び前記複数の開口部の内表面を覆うようにして追加の酸化シリコン層を形成する工程と、  
フォトリソグラフィ及びエッチングによって、前記シリコンゲルマニウム層から前記追加の酸化シリコン層までを厚さ方向において除去するとともに、前記基材の上面部分を除去して、トリム状の積層構造体を形成する工程と、  
前記シリコンゲルマニウム層を選択的にエッチングして除去する工程と、  
前記積層構造体に熱酸化処理を施し、前記基材の表面部分及び前記シリコン層の、前記基材と対向する表面部分を酸化させる工程と、  
前記積層構造体にアニール処理を施し、前記追加の酸化シリコン層を軟化・流動化させて前記基材の表面酸化部分と前記シリコン層の表面酸化部分とを接着させ、熱酸化シリコ

ン層を形成する工程と、  
前記追加の熱酸化シリコン層上に絶縁膜を形成するとともに、平坦化処理を施す工程と  
、  
を具えることを特徴とする、半導体基板の作製方法。

## 【請求項11】

前記シリコンゲルマニウム層に対してドーパントを含有させる工程を具えることを特徴  
とする、請求項10に記載の半導体基板の作製方法。

## 【請求項12】

前記ドーパントはボロン（B）であることを特徴とする、請求項11に記載の半導体基  
板の作製方法。

## 【請求項13】

前記シリコンゲルマニウム層中のゲルマニウム濃度が5%～50%であることを特徴と  
する、請求項10～12のいずれか一に記載の半導体基板の作製方法。

## 【請求項14】

前記シリコンゲルマニウム層は、フッ硝酸系のエッチング液を用いて除去することを特  
徴とする、請求項10～13のいずれか一に記載の半導体基板の作製方法。

## 【請求項15】

前記熱酸化処理は、湿式で行うことを特徴とする、請求項10～14のいずれか一に記  
載の半導体基板の作製方法。

## 【請求項16】

前記アニール処理は、850℃～1350℃で行うことを特徴とする、請求項10～1  
5のいずれか一に記載の半導体基板の作製方法。

## 【請求項17】

前記平坦化膜は酸化シリコンからなることを特徴とする、請求項10～16のいずれか  
一に記載の半導体基板の作製方法。

## 【請求項18】

シリコンからなる基材を準備する工程と、  
前記基材上において、複数のシリコンゲルマニウム層と複数のシリコン層とを、最下層  
に前記シリコンゲルマニウム層が位置し、最上層に前記シリコン層が位置するようにして  
交互に積層させる工程と、

前記最上層に位置するシリコン層上に酸化シリコン層を形成する工程と、  
前記シリコン層に対して、前記最下層に位置する前記シリコンゲル  
マニウム層から前記酸化シリコン層までを厚さ方向において除去するとともに、前記基材  
の表面部分を除去して複数の開口部を形成する工程と、

前記酸化シリコン層及び前記複数の開口部の内表面を覆うようにして追加の酸化シリコ  
ン層を形成する工程と、

前記シリコン層に対して、前記最下層に位置する前記シリコンゲル  
マニウム層から前記追加の酸化シリコン層までを厚さ方向において除去するとともに、前  
記基材の上面部分を除去して、トリム状の積層構造体を形成する工程と、

前記複数のシリコンゲルマニウム層を選択的にエッチングして除去する工程と、  
前記積層構造体に熱酸化処理を施し、前記基材の表面部分及び前記複数のシリコン層の  
表面部分を酸化させる工程と、

前記積層構造体にアニール処理を施し、前記追加の酸化シリコン層を軟化・流動化させ  
て前記基材の表面酸化部分と前記基材と対向するように設けられた前記シリコン層の表面  
と接着させるとともに、隣接する前記複数のシリコン層の表面酸化部分とを接着  
させ、熱酸化シリコン層を形成する工程と、

前記追加の熱酸化シリコン層上に絶縁膜を形成するとともに、平坦化処理を施す工程と  
、  
を具えることを特徴とする、半導体基板の作製方法。

## 【請求項19】

前記複数のシリコンゲルマニウム層に対してドーパントを含有させる工程を具えることを特徴とする、請求項18に記載の半導体基板の作製方法。

【請求項20】

前記ドーパントはボロン（B）であることを特徴とする、請求項20に記載の半導体基板の作製方法。

【請求項21】

前記シリコンゲルマニウム層中のゲルマニウム濃度が5%～50%であることを特徴とする、請求項19～21のいずれか一に記載の半導体基板の作製方法。

【請求項22】

前記シリコンゲルマニウム層は、フッ硝酸系のエッチング液を用いて除去することを特徴とする、請求項19～22のいずれか一に記載の半導体基板の作製方法。

【請求項23】

前記熱酸化処理は、湿式で行うことを特徴とする、請求項19～23のいずれか一に記載の半導体基板の作製方法。

【請求項24】

前記アニール処理は、850℃～1350℃で行うことを特徴とする、請求項19～24のいずれか一に記載の半導体基板の作製方法。

【請求項25】

前記平坦化膜は酸化シリコンからなることを特徴とする、請求項19～25のいずれか一に記載の半導体基板の作製方法。

【請求項26】

請求項11～26のいずれか一に記載の作製方法を含むことを特徴とする、素子間分離構造の作製方法。

【書類名】明細書

【発明の名称】半導体基板、及び半導体基板の作製方法

【技術分野】

【0001】

本発明は、LSIなどの基本素子であるMOSトランジスタなどを高密度で作製することができる半導体基板、及び半導体基板の作製方法に関する。

【背景技術】

【0002】

従来、MOSトランジスタを高密度に集積させて高集積LSIを作製するに際しては、SOI基板に対してLOCOS分離や溝分離（浅溝及び深溝）を行い、SOI層を酸化シリコンで電気的に複数の領域に分割し、これら分割された複数の領域のそれぞれに対してMOSトランジスタを形成し、素子間分離させた状態で行っていた。

【0003】

一方、上述したようなCMOSLSIの微細化に伴った短チャネル効果を抑制するためには、前記SOI基板のSOI層及びBOX層（埋め込みSiO<sub>2</sub>層）の薄層化が必要である。従来のSIMOXにおいては、前記BOX層はイオン注入によって形成するが、高品質のSOI層を形成するには、ある最適範囲のイオン注入量が（酸素イオンのドーズ量4×10<sup>17</sup>個/cm<sup>2</sup>前後）が存在し、前記BOX層を十分に薄層化することはできなかつた。

【0004】

また、ELTRAN及びUNIBONDでは、前記BOX層は、貼り合わせに用いる2枚のウエハ内に設けられたSiO<sub>2</sub>層の厚さで決定されてしまうため、前記BOX層を薄層化すると、欠陥の抑制が困難となる。さらに、前記SOI層は、最終的にはCMPの工程を経るため、前記SOI層の膜厚はCMPの均一性に左右され、前記SOI層を薄層化すると、前記SOI層の均一性を確保できなくなり、MOSトランジスタのしきい値電圧V<sub>th</sub>のバラツキが大きくなり、LSIとして動作させることができなくなる。また、SOI層の極薄化にともなうCMP時の結晶欠陥の抑制が困難となる。

【0005】

上述のようにSOI層及びBOX層を薄層化すると、前記SOI層の電気的分割を良好に行うことができず、当初の目的である高集積CMOSLSIを作製することができなくなるという問題があった。

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、素子間分離に基づいて高集積CMOSLSIを簡易に形成することができるとともに、SOI層及びBOX層を十分に薄層化することにより、短チャネル効果を抑制することができる新規な半導体基板、及び半導体基板の作製方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成すべく、本発明は、

シリコンからなる基材と、

前記基材の上方において、前記基材と電気的に絶縁されるとともに、互いに電気的に絶縁された、シリコンからなる複数の島状部と、  
を具えることを特徴とする、半導体基板に関する。

【0008】

本発明の半導体基板においては、シリコン基材の上方にシリコンからなる複数の島状部を、前記基材と電気的に絶縁されるとともに、互いに電気的に絶縁されるようにして設けている。したがって、前記複数の島状部のそれぞれにおいて所定のMOSトランジスタなどの基本素子を作製し、それぞれを多層配線で接続するようにすれば、素子間分離した

S.I.を極めて簡易に形成することができる。

[0009]

【0009】 また、前記複数の島状部の幅及び配置密度などを適宜に制御することにより、形成すべきMOSトランジスタの大きさや密度を適宜制御することができ、所望の集積密度のCMOSLSIを得ることができるようになる。

[0010]

【0010】 さらに、本発明の半導体基板においては、前記複数の島状部は、前記基材の主面と略平行な单一の平面内に形成することができる。したがって、上述したいわゆるBOX層の厚さは、前記基材の主面と、前記島状部の前記基材と対向する主面との間に形成された両熱材と対向する主面と、前記島状部の、前記基材と反対側に位置する主面との距離によって決定され、以下に詳述する作製方法に基づいて前記距離を十分に低減することができる。また、上述したいわゆるSOI層の厚さは、前記島状部の前記基材と対向する主面と、前記島状部の、前記基材と反対側に位置する主面との距離によって決定され、以下に詳述する作製方法に基づいて前記距離を十分に低減することができる。したがって、短チャネル効果を十分に抑制できるようになる。

[0 0 1 1]

【0011】 また、本発明の半導体基板においては、前記複数の島状部は、前記基材の主面と略平行な複数の平面内に形成され、その結果、前記基材の上方で多段、すなわち多層に形成することもできる。したがって、前記複数の島状部にMOSトランジスタなどの基本素子を作製し、これらを互いに多層配線で接続するようにすれば、極めて集積密度の高いLSIを作製することができる。

[0 0 1 2]

【0012】 なお、本発明の好ましい態様においては、前記複数の島状部は、以下に詳述する作製方法に起因して、酸化シリコンなどの絶縁部材中に埋設されたような構造を有することができる。

[0013]

本発明のその他の特徴及び利点、並びに本発明の作製方法については、以下の発明の実施の形態で詳述する。

## 【発明の効果】

【0014】

以上説明したように、本発明によれば、素子間分離に基づいて高集積CMOSLSIを簡易に形成することができるとともに、SOI層及びBOX層を十分に薄層化することにより、短チャネル効果を抑制することができる新規な半導体基板、及び半導体基板の作製方法を提供することができる。

### 【発明の実施の形態】

[0 0 15]

以下、本発明を発明の実施の形態に基づいて詳細に説明する。

以下、本発明を実施の形態に基して詳細に記述する。図1は、本発明の半導体基板の一例における構成を概略的に示す断面図である。図1に示す半導体基板10においては、シリコン基材11の上方において、絶縁部材13中に埋設するようにして、シリコンからなる複数の島状部12を有している。この結果、島状部12は基材11と電気的に絶縁されるとともに、島状部同士も互いに電気的に絶縁されるようになる。また、島状部12は、基材11の主面11Aと略平行な平面内に形成されて、一段すなわち単層として構成されている。絶縁部材13は、以下に説明する作製方法などに依存して、酸化シリコンなどから構成することができる。

[0 0 1 6]

図1に示す半導体基板10においては、島状部12にMOSトランジスタなどの基本素子を形成とともに、これらを多層配線で接続することにより所定のLSI構造を作製することができる。

【0017】

なお、島状部12の幅は形成すべき基本素子の大きさに基づいて決定されるが、好ましくは幅2μm～4μm程度以下に形成する。

## 【0018】

さらに、基材 11 の正面 11A と、島状部 12 の、基材 11 と対向する正面 12B との距離 d は、以下に詳述する作製方法に依存して 3 nm ~ 200 nm 程度に設定することができる。距離 d は、SOI 基板におけるいわゆる BOX 層の厚さに相当するので、このよ

うな薄層化した BOX 層により、図 1 に示す半導体基板 10 を用いて作製した LSI の短チャネル効果を十分に抑制できるようになる。

## 【0019】

また、島状部 12 の正面 12A と、島状部 12 の、基材 11 と対向する正面 12B との距離 D は、同じく以下に詳述する作製方法に依存して 2 nm ~ 150 nm 程度に設定することができる。距離 D は、SOI 基板におけるいわゆる SOI 層の厚さに相当するので、このよ

うな薄層化した SOI 層により、図 1 に示す半導体基板 10 を用いて作製した LSI の短チャネル効果を十分に抑制できるようになる。

## 【0020】

従来の SIMOX などでは、100 nm 程度より小さい厚さの BOX 層を形成することは困難であり、したがって、本発明の半導体基板に比較して、極微細ゲート長 MOS トランジスタの短チャネル効果を十分に抑制することができない。

## 【0021】

図 2 は、本発明の半導体基板の他の例における構成を概略的に示す断面図である。図 2 は、シリコン基材 21 の上方において、絶縁部材 23 中に示す半導体基板 20 においては、シリコンからなる複数の島状部 22 を有している。この結果、島状埋設するようにして、シリコンからなる複数の島状部 22 を有している。この結果、島状部 22 は基材 21 と電気的に絶縁されるとともに、島状部同士も互いに電気的に絶縁されるとともに、島状部 22 は、基材 11 の正面 11A と略平行な複数の平面内に形成されるようになる。また、島状部 22 は、基材 11 の正面 11A と略平行な複数の平面内に形成されて、多段すなわち多層として構成されている。絶縁部材 23 は、以下に説明する作製方法などに依存して、酸化シリコンなどから構成することができる。

## 【0022】

図 2 に示す半導体基板 20 においても、島状部 22 に MOS トランジスタなどの基本要素を形成するとともに、これらを多層配線で接続することにより所定の LSI 構造を作製することができる。図 2 に示す半導体基板 20 は、図 1 に示す半導体基板 10 と比較して、島状部が多層に形成されているので、より高集積の LSI を作製することができる。多層島状部を用いてチャネルが多層化された MOS トランジスタ (ML-MOS) を作ることができ、オン電流の大きなトランジスタを従来より小さな面積で作ることができます。また、下層の島状部を配線の一部として使うことができる。

## 【0023】

さらに、図 2 に示す半導体基板において、上層の島状部に MOS トランジスタを作り、下層の島状部に電位を与えることにより、上部の島状部の MOS トランジスタのしきい値を制御することができる。この場合、上層と下層の島状部間の絶縁膜の厚さを極めて薄くすることができることから、下層の島状部にあたえる電圧を低電圧にすることができる、LSI の消費電力の低減化を図ることができる。

## 【0024】

また、LSI の電源電圧の低下とともに、シリコン基板を通してのクロストークが大きな問題となる。特に、アナログ・デジタル混載 LSI では高速化・高集積化・電源電圧の低下とともにシリコン基板を通してのクロストークの低減化が重要である。下層の島状部をアース電位等の回路の基準となる電位に固定することにより、クロストークを大幅に低減することができる。

## 【0025】

次に、本発明の半導体基板の作製方法について説明する。図 3 ~ 図 9 は、図 1 に示す半導体基板 10 の作製方法を説明するための工程図である。図 3 (a) ~ 図 9 (a) は、図 1 に示す半導体基板 10 の構成に対応させて、作製途中の半導体基板アセンブリの横方向断面を示したものであり、図 3 (b) ~ 図 9 (b) は、それぞれ図 3 (a) ~ 図 9 (a) の中心部を通る直線に沿って切った場合の、縦方向断面を示す。

示したものである。

[0026]

【0026】 最初に、図3に示すように、シリコン基材31上に、シリコンゲルマニウム層32を例えればLP-CVD法により厚さ2nm～120nmに形成する。次いで、シリコンゲルマニウム層32上に、シリコン層33を例えればLP-CVD法により厚さ5nm～200nmに形成する。次いで、シリコン層33上に、酸化シリコン層34を例えれば低温CVD法(400℃)により厚さ50nm～500nmに形成する。この場合、酸化シリコン層は酸化シリコン層の上に窒化シリコン層が形成されたものでも良い。

[0027]

【0027】シリコンゲルマニウム層32は、ボロン(B)などのP形ドーパントを含むことが好ましい。ドーピング濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 前後以上とすることが好ましい。また、ゲルマニウムを5%～50%の濃度で含むことが好ましい。これによってシリコンゲルマニウム層32の、以下に示すフッ硝酸液などのエッティング溶液に対するエッティング速度が、シリコン層33の前記エッティング溶液に対するエッティング速度よりも十分高く、例えば2桁以上大きくなり、基材31から酸化シリコン層34までを含む半導体基板アセンブリに溶対して前記エッティング溶液を用いてエッティング処理を施した場合に、シリコン層33を溶解除去することなく、シリコンゲルマニウム層33のみを溶解除去することができるようになる。以上はP形ドーパントについて述べたが、リン等のn形ドーパントでも良く、また、シリコンゲルマニウム層32にドーパントが添加されてなくても良い。つまりシリコンゲルマニウム層の歪が緩和されてなければ良い。

[0 0 2 8]

次いで、図4に示すように、前記半導体アセンブリにフォトリソグラフィ及びエッティングを施すことによって、シリコンゲルマニウム層32から酸化シリコン層34までを厚さ方向に除去するとともに、基材31の表面部分を部分的に除去することにより開口部35を形成する。

[0029]

[0 0 3 0]

次いで、図6に示すように、上述したフッ硝酸系のエッティング溶液を用いて、図5に示す半導体基板アセンブリに対してエッティング処理を施し、シリコンゲルマニウム層32のミを除去する。なお、前記エッティング溶液の成分は、例えば、 $HNO_3 : H_2O : HF = 60 : 60 : 1$ あるいは $HNO_3 : H_2O : HF = 120 : 60 : 1$ のようにすることができる。あるいはフッ硝酢酸のエッティング溶液に適量の酸素等を混ぜてもよい。

{0031}

次いで、図7に示すように、図6に示す半導体基板アセンブリに対して熱酸化処理を施し、基材31の表面部分及びシリコン層33の、基材31と対向した表面部分を熱酸化させ、表面酸化部分31a及び33aを形成する。なお、これら表面酸化部分の厚さは1.5 nm～100 nmとすることができる。また、前記熱酸化処理は、ウェットO<sub>2</sub>酸化などを用いた湿式で行うことができる。なお、表面酸化部分31a及び33a形成前に、犠牲酸化しその後これを除去する前処理をしてもよい。

〔0032〕

次いで、図8に示すように、図7に示す半導体基板アセンブリに対してアニール処理を施し、酸化シリコン層36を軟化・流動化させ表面酸化部分33aを表面酸化部分31a

に接触させ互いに接着することにより、熱酸化シリコン層37を形成する。このとき、酸化シリコン層34と36もより強固に接着し酸化シリコン層38となる。なお、アニール処理は、850℃～1350℃の温度範囲で行うことが好ましい。酸化シリコン層36にボロン、リン等の不純物を添加した場合は軟化・流動化する温度は低下するので、アニール処理は上記のアニール処理の温度範囲の低温側でよい。

#### 【0033】

次いで、図9に示すように、図8に示す半導体基板アセンブリの開口部35を埋設するようにCVD法により酸化シリコン膜39を形成し、CMP法などによる平坦化を行うことにより、図1に示すような半導体基板10を得る。

#### 【0034】

上述した作製方法においては、図1に示す基材11の主面11Aと島状部12の主面12Bとの距離dで規定される、SOI基板におけるBOX層の厚さは、熱酸化シリコン層37の厚さで決定されることになる。また、島状部12の主面12と他の主面12Bとの距離Dで規定される、SOI基板におけるSOI層の厚さは、LP-CVD法で形成されるシリコン層33の厚さとその後の熱酸化量とで決定される。したがって、これらの層の厚さを十分に小さく設定すれば、前記BOX層及びSOI層の厚さを、CMPなどの加工處理に依存することなく、極めて簡易に所定の厚さまで低減することができる。

#### 【0035】

また、従来のUNIBOND及びELTRANにおいては、半導体基板を作製するに際し2枚のウエハを必要とするが、本発明の作製方法では1枚のウエハのみを用いれば良い。また、従来のSOI基板においては、基板作製と素子間分離とを別工程で実施していたが、本発明の作製方法では、基板作製と素子間分離とを同一のプロセス中で行うことができる。したがって、目的とする半導体基板の製造コストを十分に低減することができる。

#### 【0036】

図10～図16は、図2に示す半導体基板20の作製方法を説明するための工程図である。図10(a)～図16(a)は、図2に示す半導体基板20の構成に対応させて、作製途中の半導体基板アセンブリの横方向断面を示したものであり、図10(b)～図16(b)は、それぞれ図10(a)～図16(a)に示す半導体基板アセンブリの、中心部を通る直線に沿って切った場合の、縦方向断面を示したものである。なお、図3～図9と同様の構成要素に対しては同じ参照数字を用いている。

#### 【0037】

図2に示す半導体基板20も、基本的には図1に示す半導体基板と同様にして作製することができる。最初に、図10に示すように、シリコン基材31上に、シリコンゲルマニウム層32及びシリコン層33を、最下層にシリコンゲルマニウム層が位置し、最上層にシリコン層33が位置するようにして、交互に積層する。図10においては、シリコンゲルマニウム層32及びシリコン層33は、それぞれ2層づつ形成されている。シリコンゲルマニウム層32及びシリコン層33の好ましい形成方法は、上記同様にLP-CVD法で形成され、好ましい厚さはそれぞれ2nm～120nmおよび5～200nmである。

#### 【0038】

次いで、最上層に位置するシリコン層33上に、酸化シリコン層34を例えばCVD法により厚さ50nm～500nmに形成する。

#### 【0039】

シリコンゲルマニウム層32は、上述したように、ボロン(B)などのドーパントを1×10<sup>19</sup>cm<sup>-3</sup>以上の濃度で含み、ゲルマニウムを5%～50%の濃度で含むことが好ましい。なお、ドーパントはリン等のn形ドーパントでもよく、あるいはシリコンゲルマニウム層32にドーパントが添加されてなくてもよい。あるいはシリコンゲルマニウム層32の歪が緩和されてなければよい。

#### 【0040】

次いで、図11に示すように、前記半導体アセンブリにフォトリソグラフィ及びエッチングを施すことによって、最下層のシリコンゲルマニウム層32から酸化シリコン層34

までを厚さ方向に除去するとともに、基材 3 1 の表面部分を部分的に除去することにより開口部 3 5 を形成する。

【0041】

次いで、図 12 に示すように、例えば CVD 法などを用いることにより、酸化シリコン層 3 4 の表面及び開口部 3 5 の内表面を覆うようにして追加の酸化シリコン層 3 6 を厚さ 100 nm ~ 1000 nm に形成する。酸化シリコン層 3 6 の軟化温度を下げるために、ボロン、リン等の不純物を酸化シリコン層 3 6 に添加してもよい。その後、得られた半導体基板アセンブリに対して、フォトリソグラフィ及びエッチングを施すことによって、シリコンゲルマニウム層 3 2 から追加の酸化シリコン層 3 6 までを厚さ方向に除去するとともに、基材 3 1 の表面部分を除去して、トリム状の積層構造体を作製する。

【0042】

次いで、図 13 に示すように、上述したフッ硝酸系のエッチング溶液を用いて、図 12 に示す半導体基板アセンブリに対してエッチング処理を施し、シリコンゲルマニウム層 3 2 のみを除去する。

【0043】

次いで、図 14 に示すように、図 13 に示す半導体基板アセンブリに対して熱酸化処理を施し、基材 3 1 の表面部分及びシリコン層 3 3 の表面部分を熱酸化させて、表面酸化部を形成する。なお、表面酸化部分 3 1 a 及び 3 3 a に要求される好ましい特性は、図 7 に示す場合と同様である。

【0044】

次いで、図 15 に示すように、図 14 に示す半導体基板アセンブリに対してアニール処理を施し、酸化シリコン層 3 6 を軟化・流動化させ、表面酸化部分 3 3 a を表面酸化部分 3 1 a に接触させることにより熱酸化シリコン層 3 7 を形成する。このとき、これより上層にある 2 つの表面酸化部分 3 3 a も互に接触・接着し、熱酸化シリコン層 3 7 を形成する。また、参加シリコン層 3 4 と 3 6 はより強く接着し熱酸化シリコン層 3 8 を形成する。なお、アニール処理は、850°C ~ 1350°C の温度範囲で行うことが好ましい。

【0045】

次いで、図 16 に示すように、図 15 に示す半導体基板アセンブリの開口部 3 5 を埋設するように CVD 法により酸化シリコン膜 3 9 を形成し、CMP などによる平坦化を行うことにより、図 2 に示すような半導体基板 2 0 を得る。なお、上層と下層の島状部の厚さを変えることもできる。

【0046】

従来の UNIBOND 及び ELTRAN においては、図 2 に示すような、多層の島状部を有する半導体基板を作製するに際し、複数のウエハを順次に張り合わせて作製しなければならず、その工程が極めて繁雑（一層の島状部の製造工程数の多層倍）となって製造コストを増大させていた。これに対して上述した本発明の作製方法によれば、シリコンゲルマニウム層及びシリコン層を追加的に設けるという簡易な工程を追加するのみで、目的とする多層の島状部を有する半導体基板を簡易に形成することができる。

【0047】

以上、発明の実施の形態に則して本発明を説明してきたが、本発明の内容は上記に限定されるものではなく、本発明の範囲を逸脱しない限りにおいて、あらゆる変形や変更が可能である。

【図面の簡単な説明】

【0048】

【図 1】 本発明の半導体基板の一例における構成を概略的に示す断面図である。

【図 2】 本発明の半導体基板の他の例における構成を概略的に示す断面図である。

【図 3】 図 1 に示す半導体基板の作製方法を説明するための工程図である。

【図 4】 図 3 に示す工程の次の工程を示す断面図である。

【図 5】 図 4 に示す工程の次の工程を示す断面図である。

【図 6】 図 5 に示す工程の次の工程を示す断面図である。

【図7】図6に示す工程の次の工程を示す断面図である。

【図8】図7に示す工程の次の工程を示す断面図である。

【図9】図8に示す工程の次の工程を示す断面図である。

【図10】図2に示す半導体基板の作製方法を説明するための工程図である。

【図11】図10に示す工程の次の工程を示す断面図である。

【図12】図11に示す工程の次の工程を示す断面図である。

【図13】図12に示す工程の次の工程を示す断面図である。

【図14】図13に示す工程の次の工程を示す断面図である。

【図15】図14に示す工程の次の工程を示す断面図である。

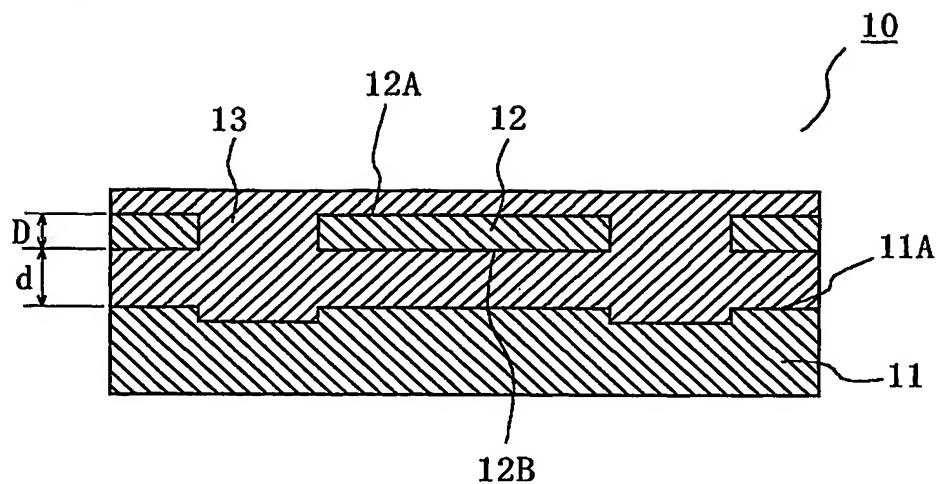
【図16】図15に示す工程の次の工程を示す断面図である。

【符号の説明】

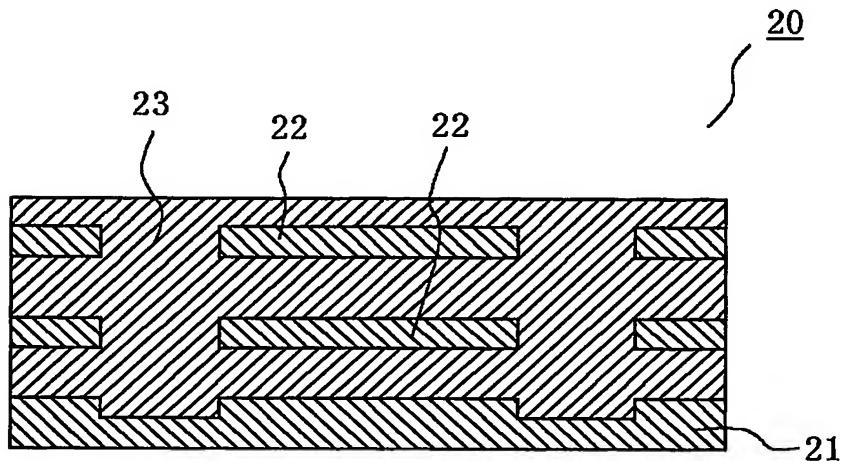
【0049】

10、20 半導体基板  
11、12 基材  
12、22 島状部  
13、23 絶縁部材

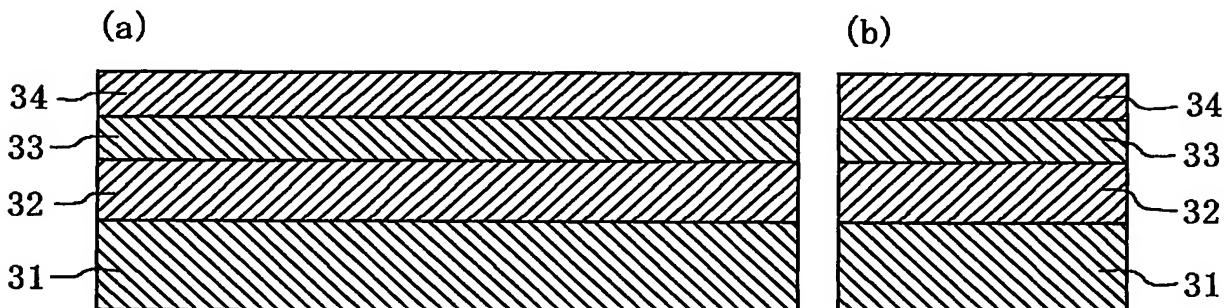
【書類名】 図面  
【図1】



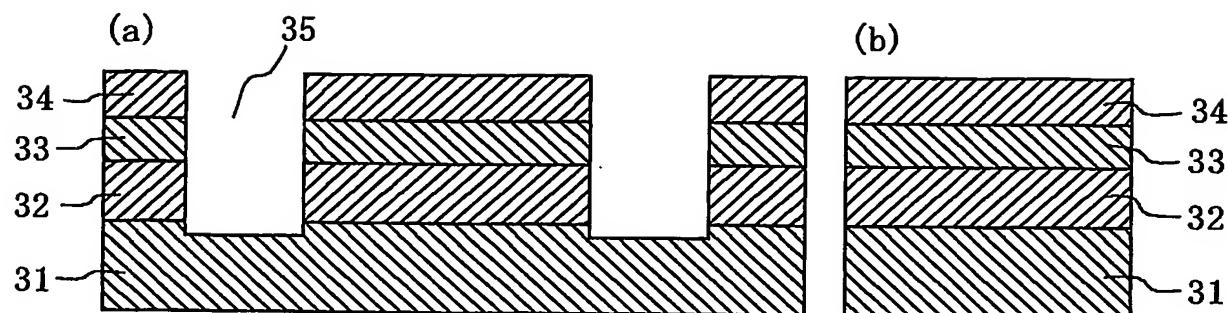
【図2】



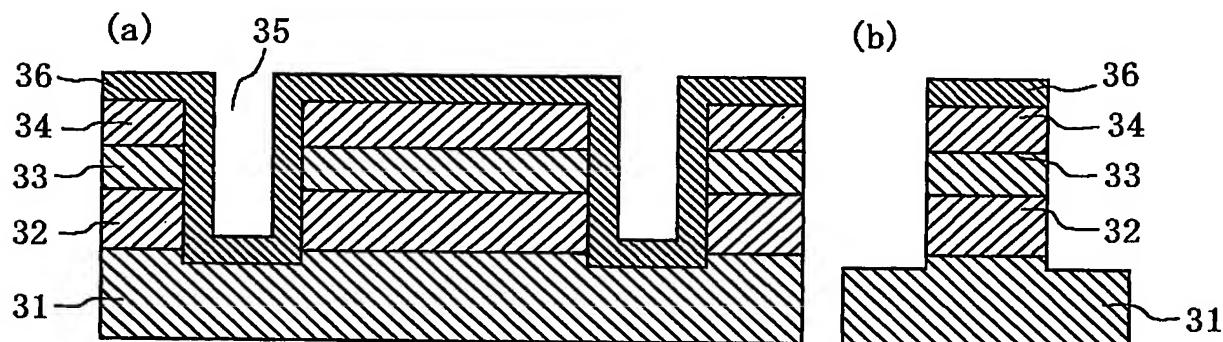
【図3】



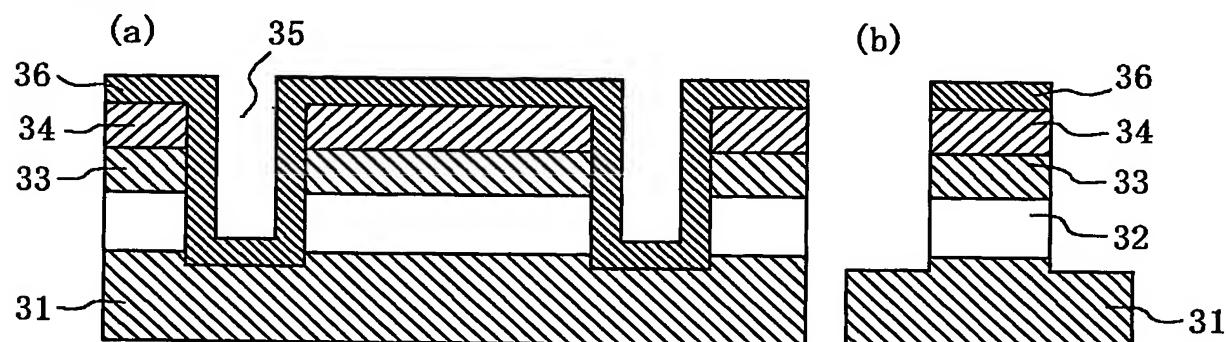
【図4】



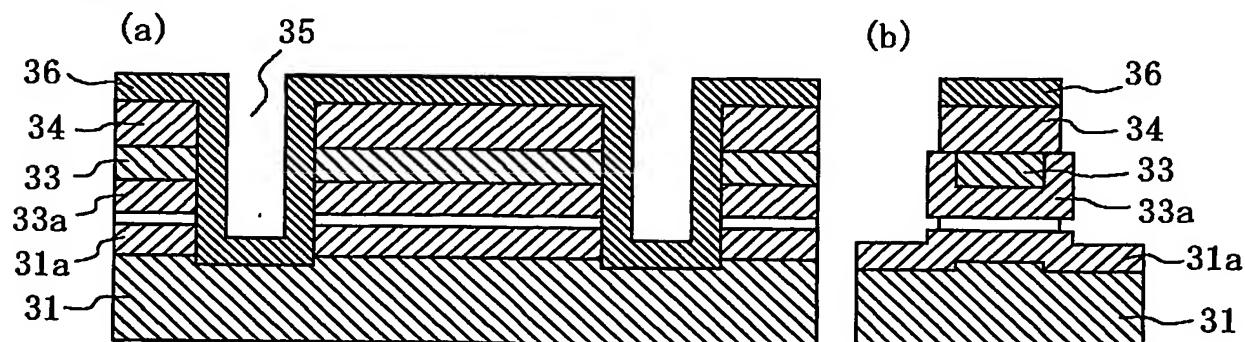
【図5】



【図6】

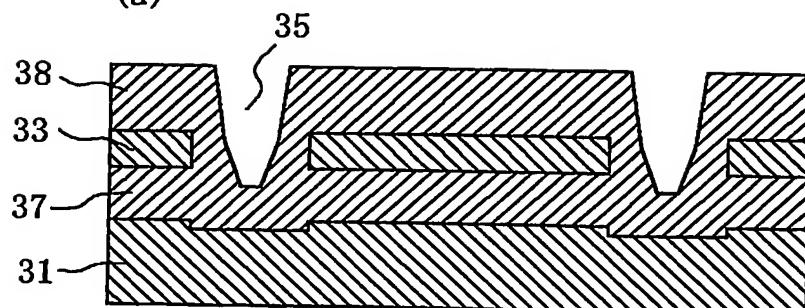


【図7】

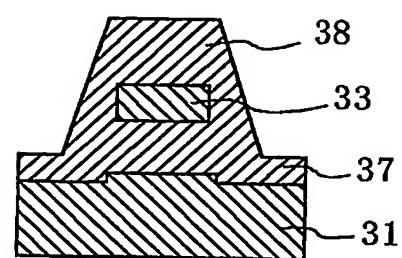


【図8】

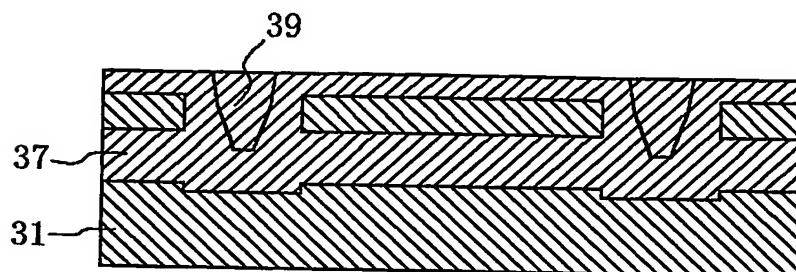
(a)



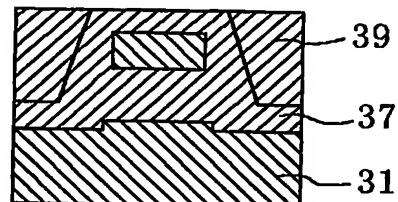
(b)



【図9】

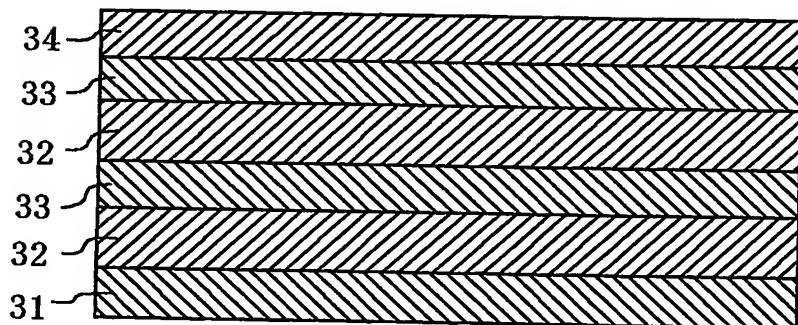


(b)

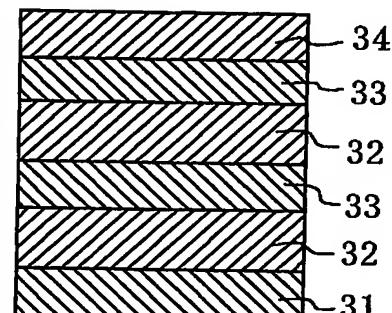


【図10】

(a)

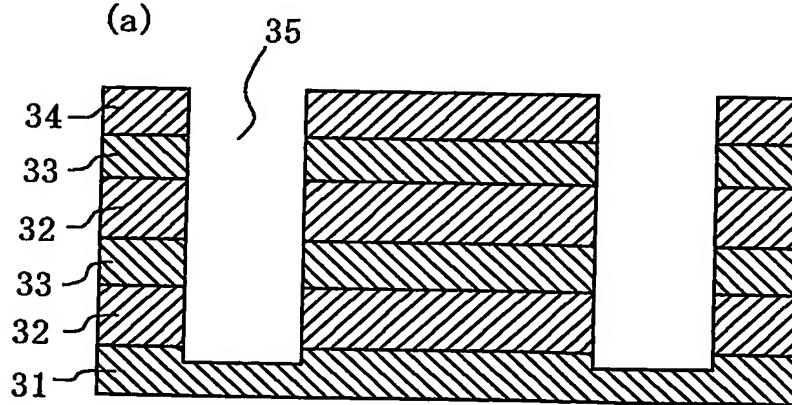


(b)

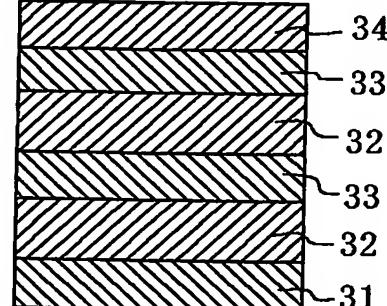


【図11】

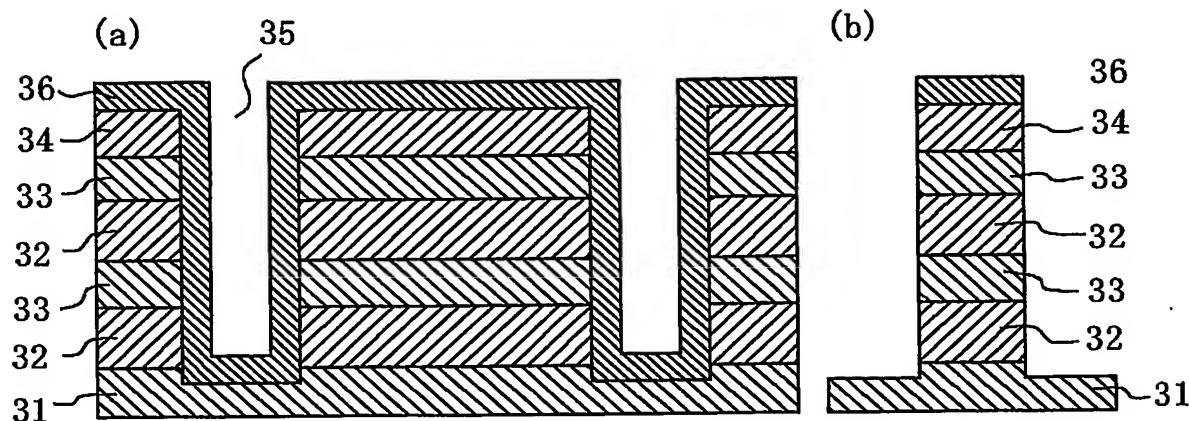
(a)



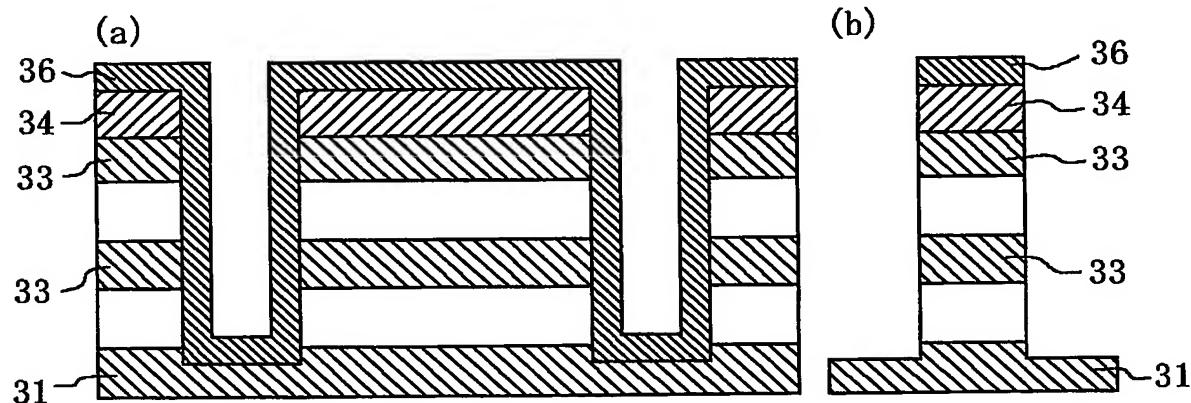
(b)



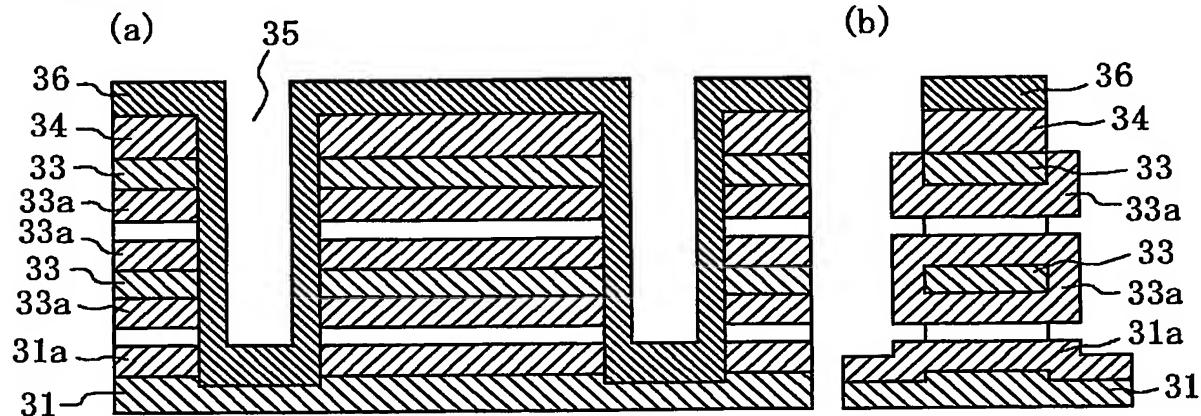
【図12】



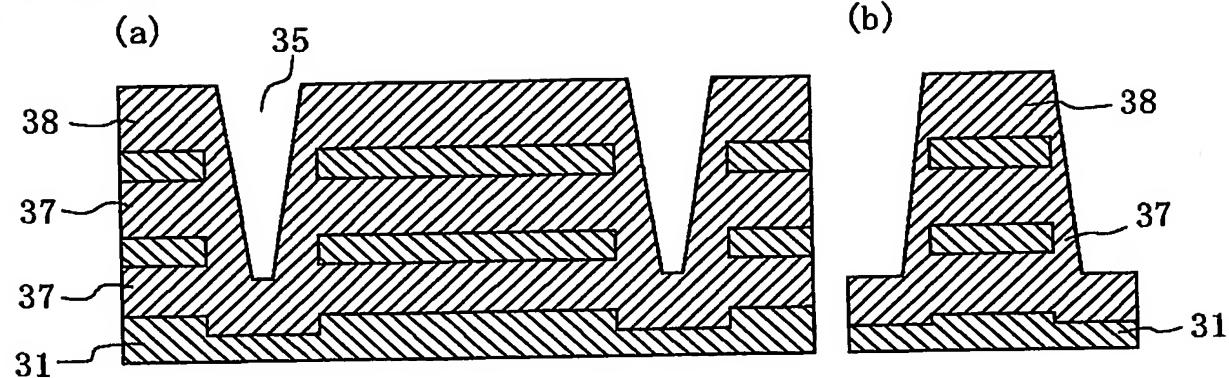
【図13】



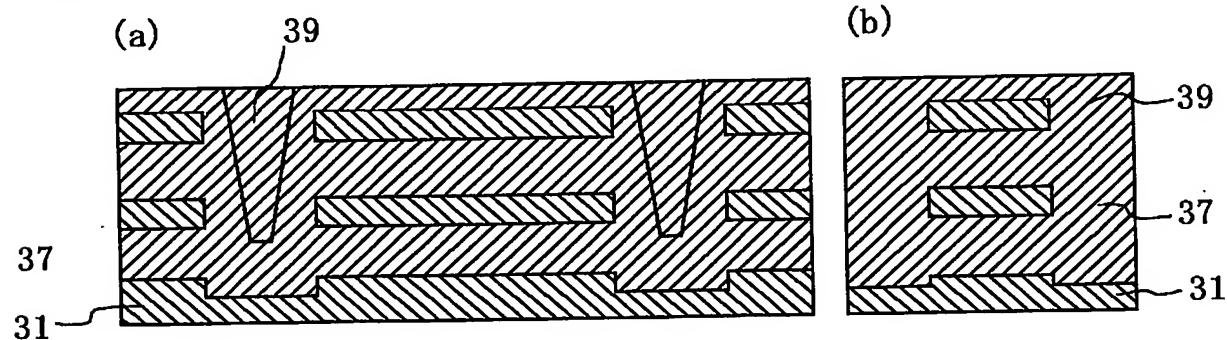
【図14】



【図15】



【図16】



【書類名】要約書

【要約】

【課題】素子間分離に基づいて高集積CMOSLSIを簡易に形成することができるとともに、SOI層及びBOX層を十分に薄層化することにより、短チャネル効果を抑制することができ、しかもSOI層及びBOX層を多層にすることができる新規な半導体基板、及び半導体基板の作製方法を提供する。

【解決手段】シリコン基材31上に、シリコンゲルマニウム層32、シリコン層33及び酸化シリコン層34が順次に形成されたアセンブリに対して開口部35を形成し、酸化シリコン層34及び開口部35の内表面を覆うようにして追加の酸化シリコン層36を形成する。次いで、シリコンゲルマニウム層32をエッチング除去し、シリコン基材31及びシリコン層33に熱酸化処理及びアニール処理を順次に施して熱酸化層37及び38を形成する。次いで、平坦化膜39を形成し、平坦化処理を行って、シリコンからなる島状部12が酸化シリコンからなる絶縁部材13内に埋設されてなる半導体基板10を作製する。

【選択図】図1

【書類名】 出願人名義変更届（一般承継）  
【あて先】 特許庁長官 殿  
【事件の表示】  
【出願番号】 特願2003-352692  
【承継人】  
【識別番号】 304021417  
【氏名又は名称】 国立大学法人東京工業大学  
【代表者】 東京工業大学長 相澤益男  
【その他】 15文科会第1999号に基づく承継

## 職権訂正履歴 (職権訂正)

特許出願の番号	特願2003-352692
受付番号	50400854052
書類名	出願人名義変更届 (一般承継)
担当官	林 圭輔 9868
作成日	平成16年 6月 4日

## &lt;訂正内容1&gt;

訂正ドキュメント

書誌

訂正原因

職権による訂正

訂正メモ

【書類名】に誤りがありましたので訂正いたしました。

訂正前内容

【書類名】 出願人名義変更届

訂正後内容

【書類名】 出願人名義変更届 (一般承継)

## 認定・付加情報

特許出願の番号	特願2003-352692
受付番号	50400854052
書類名	出願人名義変更届（一般承継）
担当官	林 圭輔 9868
作成日	平成16年 6月14日

## &lt;認定情報・付加情報&gt;

【提出日】	平成16年 5月21日
-------	-------------

特願 2003-352692

出願人履歴情報

識別番号 [391012316]

1. 変更年月日 1991年 1月22日

[変更理由] 新規登録

住所 東京都目黒区大岡山2丁目12番1号

氏名 東京工業大学長

特願 2003-352692

出願人履歴情報

識別番号 [304021417]

1. 変更年月日 2004年 4月 9日

[変更理由] 新規登録

住所 東京都目黒区大岡山2丁目12番1号  
氏名 国立大学法人東京工業大学